

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 11121524
PUBLICATION DATE : 30-04-99

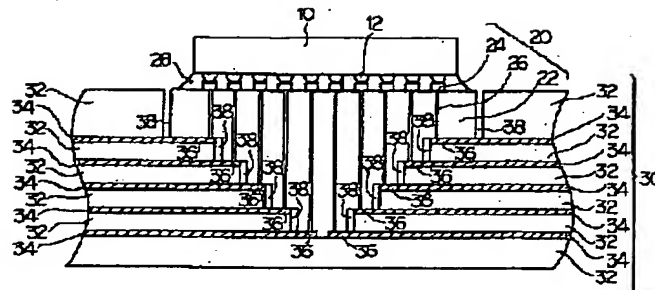
APPLICATION DATE : 20-10-97
APPLICATION NUMBER : 09287393

APPLICANT : SONY CORP;

INVENTOR : SASAKI MASARU;

INT.CL. : H01L 21/60 H05K 1/18 H05K 3/46

TITLE : SEMICONDUCTOR DEVICE



ABSTRACT : PROBLEM TO BE SOLVED: To provide a semiconductor device, in which when a semiconductor bare chip is mounted to a motherboard via an interposer, positioning is facilitated with high precision, mounting throughput is enhanced, and also connection failures, etc., can be prevented for attaining high reliability.

SOLUTION: A downward stepwise projected interposer 20, to which a semiconductor bare chip 10 is mounted as a flip chip, is mounted to a stepwise recessed motherboard 30 having a multilayered wiring structure. Namely, a bottom face having a downward stepwise projected shape of the downward stepwise projected interposer 20 is wholly engaged with an upper face having a stepwise recessed shape of the stepwise recessed motherboard 30. A lower end part of a through-hole wire 26 exposed from the bottom face of the downward stepwise projected interposer 20 is connected to a land 36 exposed to an upper face of the stepwise recessed motherboard 30 with solder or anisotropically conductive resins or by a press contacting.

COPYRIGHT: (C)1999,JPO

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-121524

(43) 公開日 平成11年(1999) 4月30日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 21/60

3 1 1

H 0 1 L 21/60

3 1 1 S

H 0 5 K 1/18

H 0 5 K 1/18

K

3/46

3/46

Q

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号

特願平9-287393

(22) 出願日

平成9年(1997)10月20日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 佐々木 大

埼玉県坂戸市塚越1300番地 ソニーボンソ
ン株式会社内

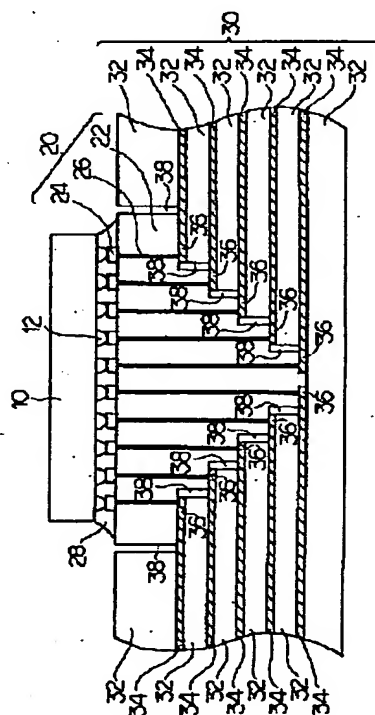
(74) 代理人 弁理士 館野 公一

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 本発明は、半導体ベアチップをインターポーザを介してマザーボードに実装する際に、精度の高い位置合わせを容易に行うことが可能になり、実装のスループットを向上させると共に、接続不良等を防止して高い信頼性を得ることができる半導体装置を提供することを目的とする。

【解決手段】 半導体ベアチップ10をフリップチップ実装した下向き階段状凸形インターポーザ20が多層配線構造の階段状凹形マザーボード30に実装されている。即ち、下向き階段状凸形インターポーザ20の下向きに階段状に凸形状をなしている底面が、階段状凹形マザーボード30の階段状に凹形状をなしている上面にすっぽりと嵌め込まれ、下向き階段状凸形インターポーザ20底面から露出しているスルーホール配線26の下端部が、はんだ又は異方性導電樹脂や圧接により、階段状凹形マザーボード30上面に露出しているランド36に接続されている。



10...半導体ベアチップ
12...バンプ電極
20...下向き階段状凸形インターポーザ
22...絶縁基板
24...ランド
26...スルーホール配線
28...絶縁樹脂
30...階段状凹形マザーボード
32...絶縁基板
34...配線パターン
36...ランド
38...樹脂

【特許請求の範囲】

【請求項1】 半導体ベアチップがインターポーザを介してマザーボードに実装されている半導体装置であって、

前記インターポーザが、平坦な上面と下向きに階段状に凸形状をなしている底面をもつ第1の絶縁基板と、前記第1の絶縁基板の上面上に配列され、前記半導体ベアチップの電極と接合されている第1のランドと、前記第1の絶縁基板を貫通して、前記第1のランドから前記第1の絶縁基板の底面の階段状の平坦部に至るスルーホール配線とを有しており、

前記マザーボードが、前記インターポーザの下向きに階段状に凸形状をなしている底面に対応して、階段状に凹形状をなしている上面をもつ第2の絶縁基板と、前記第2の絶縁基板中に積層されて形成されている複数の配線パターンと、前記第2の絶縁基板の上面の階段状の平坦部に露出している前記配線パターンからなる第2のランドとを有しており、

前記インターポーザの下向きに階段状に凸形状をなしている底面が、前記マザーボードの階段状に凹形状をなしている上面に嵌め込まれて、前記インターポーザの前記スルーホール配線の下端部が、前記マザーボードの前記第2のランドに接合されていることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記インターポーザの前記スルーホール配線の下端部と前記マザーボードの前記第2のランドとが、はんだ又は異方性導電樹脂や圧接によって接続されていることを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置において、前記インターポーザの前記下向きに階段状に凸形状をなしている底面と前記マザーボードの前記階段状に凹形状をなしている上面との間に、所定の樹脂が充填されていることを特徴とする半導体装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は半導体装置に係り、特に半導体ベアチップがインターポーザを介してマザーボードに実装されている半導体装置に関する。

【0002】

【従来の技術】従来の半導体ベアチップがインターポーザに搭載されている半導体パッケージは、例えばBGA（Ball Grid Array）やCSP（Chip Size Package）等のように、ボンディング法を用いて半導体ベアチップからインターポーザにワイヤ配線したり、半導体ベアチップをインターポーザにフリップチップ実装したりして作製するのが一般的である。そして、この半導体パッケージのインターポーザ底面に配置されたバンパ電極とマザーボード上面に配置されたランドとの位置合わせを行った後、両者を接合して、半導体パッケージをマザーボ

ードに実装している。このようにして、従来の半導体ベアチップがインターポーザを介してマザーボードに実装されている半導体装置が作製される。

【0003】

【発明が解決しようとする課題】しかしながら、上記従来の半導体ベアチップがインターポーザを介してマザーボードに実装されている半導体装置においては、半導体パッケージをマザーボードに実装する際に、半導体パッケージのインターポーザ底面のバンパ電極とマザーボード上面のランドとを精度よく位置合わせすることが必要となり、この位置合わせが良好でない場合には、接続不良や信頼性の低下を招くことになる。

【0004】そして、こうした半導体パッケージをマザーボードに実装する際の必要搭載精度は、電子機器の高性能化・小型化による超小型パッケージ化や実装密度の高度化の進展に伴って、更に高度なものが要求されるようになってきている。従って、半導体パッケージをマザーボードに実装する際には、精度のよい位置合わせが要求され、そのために実装のスループットが低下するという問題が生じる。

【0005】また、逆に、こうした位置合わせを容易にして、半導体パッケージをマザーボードに実装する際のスループットを向上させようとする、現状においては、半導体パッケージのインターポーザ底面のバンパ電極やマザーボード上面のランドのピッチをラフにするしかなく、そのために超小型パッケージ化や実装密度の高度化に逆行するという問題が生じる。

【0006】そこで本発明は、上記問題点を鑑みてなされたものであり、半導体ベアチップをインターポーザを介してマザーボードに実装する際に、精度の高い位置合わせを容易に行うことが可能になり、実装のスループットを向上させると共に、接続不良等を防止して高い信頼性を得ることができる半導体装置を提供することを目的とする。

【0007】

【課題を解決するための手段】上記課題は、以下の本発明に係る半導体装置により達成される。即ち、請求項1に係る半導体装置は、半導体ベアチップがインターポーザを介してマザーボードに実装されている半導体装置であって、インターポーザが、平坦な上面と下向きに階段状に凸形状をなしている底面をもつ第1の絶縁基板と、この第1の絶縁基板の上面上に配列され、半導体ベアチップの電極と接合されている第1のランドと、第1の絶縁基板を貫通して、第1のランドから第1の絶縁基板の底面の階段状の平坦部に至るスルーホール配線とを有しており（以下、このようなインターポーザを「下向き階段状凸形インターポーザ」と呼ぶ）、マザーボードが、下向き階段状凸形インターポーザの下向きに階段状に凸形状をなしている底面に対応して、階段状に凹形状をなしている上面をもつ第2の絶縁基板と、この第2の絶縁

基板中に積層されて形成されている複数の配線パターンと、第2の絶縁基板の上面の階段状の平坦部に露出している配線パターンからなる第2のランドとを有しており（以下、このようなマザーボードを「階段状凹形マザーボード」と呼ぶ）、下向き階段状凸形インターポーザの下向きに階段状に凸形状をなしている底面が、階段状凹形マザーボードの階段状に凹形状をなしている上面に嵌め込まれて、下向き階段状凸形インターポーザのスルーホール配線の下端部が、階段状凹形マザーボードの第2のランドに接合されていることを特徴とする。

【0008】このように請求項1に係る半導体装置においては、下向き階段状凸形インターポーザの底面の階段状の凸形状と階段状凹形マザーボードの上面の階段状の凹形状とが互に対応して、下向き階段状凸形インターポーザの底面が階段状凹形マザーボードの上面にすっぽり嵌め込まれるようになっていることにより、平坦な上面上に半導体ベアチップを搭載した下向き階段状凸形インターポーザを、第2の絶縁基板中に複数の配線パターンが積層されている多層配線構造をなす階段状凹形マザーボードに実装する際に、その位置合わせを精度よく且つ容易に行うことが可能になる。このため、半導体ベアチップを下向き階段状凸形インターポーザを介して階段状凹形マザーボードに実装する際のスループットが向上すると共に、接続不良等が防止されて信頼性も向上する。

【0009】また、請求項2に係る半導体装置は、上記請求項1に係る半導体装置において、下向き階段状凸形インターポーザのスルーホール配線の下端部と階段状凹形マザーボードの第2のランドとがはんだ又は異方性導電樹脂や圧接によって接続されている構成とすることにより、下向き階段状凸形インターポーザのスルーホール配線と階段状凹形マザーボードの第2のランドとの電気的接続が安定して確保される。このため、接続不良等が確実に防止されて信頼性が更に向上する。

【0010】また、請求項3に係る半導体装置は、上記請求項1に係る半導体装置において、下向き階段状凸形インターポーザの下向きに階段状に凸形状をなしている底面と階段状凹形マザーボードの階段状に凹形状をなしている上面との間に所定の樹脂が充填されている構成とすることにより、この樹脂によって下向き階段状凸形インターポーザが階段状凹形マザーボード上に固定されるため、両者の位置ずれやそれに伴う接続不良等が防止されて信頼性が更に向上する。

【0011】

【発明の実施の形態】以下、添付図面を参照しながら、本発明の実施の形態を説明する。図1は本発明の一実施形態に係る半導体装置、即ち半導体ベアチップが下向き階段状凸形インターポーザを介して階段状凹形マザーボードに実装されている半導体装置を示す断面図である。

【0012】図1に示されるように、所定の半導体素子が形成された半導体ベアチップ10には、所定のピッチ

でバンパ電極12が配置されている。また、下向き階段状凸形インターポーザ20は、従来のインターポーザの場合と同様に例えばエボキシ剤等を材料とし、平坦な上面と下向きに階段状に凸形状をなしている底面をもつ絶縁基板22と、この絶縁基板22の平坦な上面上に配列されているランド24と、絶縁基板22を垂直に貫通すると共に、上端部が各ランド24に接続し、下端部が絶縁基板22底面の階段状の平坦部に露出しているスルーホール配線26とから構成されている。

【0013】そして、この下向き階段状凸形インターポーザ20には、半導体ベアチップ10がフリップチップ実装されている。即ち、半導体ベアチップ10がフェイスダウン状態において下向き階段状凸形インターポーザ20上に搭載され、半導体ベアチップ10の各バンパ電極12が下向き階段状凸形インターポーザ20の各ランド24に接合している。また、半導体ベアチップ10と下向き階段状凸形インターポーザ20との間には、所定の絶縁性樹脂28が充填され、互いに接合しているバンパ電極12及びランド24の周囲を覆っている。

【0014】また、多層配線構造の階段状凹形マザーボード30は、下向き階段状凸形インターポーザ20底面の下向きの階段状の凸形状に対応して、階段状に凹形状をなしている上面をもつ絶縁基板32と、この絶縁基板32中に積層されて形成されている複数の配線パターン34と、絶縁基板32の上面の階段状の平坦部に露出している複数の配線パターン34からなるランド36とから構成されている。

【0015】そして、この多層配線構造の階段状凹形マザーボード30には、半導体ベアチップ10をフリップチップ実装した下向き階段状凸形インターポーザ20が実装されている。即ち、下向き階段状凸形インターポーザ20の下向きに階段状に凸形状をなしている底面が、階段状凹形マザーボード30の階段状に凹形状をなしている上面にすっぽりと嵌め込まれ、下向き階段状凸形インターポーザ20の絶縁基板22底面の階段状の平坦部から露出しているスルーホール配線26の下端部が、はんだ又は異方性導電樹脂や圧接（図示せず）によって階段状凹形マザーボード30上面の階段状の平坦部に露出しているランド36に接続されている。

【0016】ここで、下向き階段状凸形インターポーザ20の絶縁基板22底面の階段状の垂直面と階段状凹形マザーボード30上面の階段状の垂直面との間には、それぞれ隙間38が形成されている。なお、これらの隙間38は、所定の絶縁性樹脂によって充填されていてもよい。

【0017】こうして、半導体ベアチップ10の各バンパ電極12は、下向き階段状凸形インターポーザ20のランド24、スルーホール配線26、はんだ又は異方性導電樹脂、及び階段状凹形マザーボード30のランド36を介して、階段状凹形マザーボード30の各配線パタ

ーン34に接続している。即ち、半導体ベアチップ10が下向き階段状凸形インターポーザ20を介して階段状凹形マザーボード30に実装されている。

【0018】次に、図1に示す下向き階段状凸形インターポーザ20の製造方法を、図2の断面図を用いて説明する。先ず、例えばエポキシ剤等を材料とする大きさの異なる絶縁基板22a、22b、…、22eを積層して、平坦な上面と下向きに階段状に凸形状をなしている底面をもつ絶縁基板22を形成する。

【0019】続いて、例えばドリルを用いて、絶縁基板22を垂直に貫通し、その上面から底面の階段状の平坦部に至るスルーホールを開口する。そして、例えば銅メッキ法を用いて、スルーホール内壁に銅膜を形成する。こうして、絶縁基板22上面から底面の階段状の平坦部に垂直に貫通すると共に、上端部が絶縁基板22上面に僅かに露出し、下端部が絶縁基板22底面の階段状の平坦部に僅かに露出しているスルーホール配線26を形成する。

【0020】続いて、絶縁基板22の平坦な上面上に所定の金属膜を堆積した後、この金属膜をパターンニングして、絶縁基板22の平坦な上面上に所定のピッチで配列されると共に、各スルーホール配線26の上端部にそれぞれ接続するランド24を形成する。なお、これらのランド24は、例えば銅メッキ法を用いてスルーホール配線26を形成する際に、同時に形成してもよい。このようにして、図2に示される下向き階段状凸形インターポーザ20を作製する。

【0021】次に、図1に示す多層配線構造の階段状凹形マザーボード30の製造方法を、図3の断面図を用いて説明する。先ず、絶縁基板32a上に配線パターン34aを形成する。続いて、絶縁基板32b上に配線パターン34bを形成すると共に、その中央部に所定の大きさの開口部を形成する。続いて、絶縁基板32c上に配線パターン34cを形成すると共に、その中央部に絶縁基板32bに形成した開口部よりも大きな開口部を形成する。このようにして、順番に絶縁基板32d、32e上にそれぞれ配線パターン34d、34eを形成すると共に、その中央部により大きな開口部を形成していく。そして、最後に配線パターンを形成しない絶縁基板32fの中央部に最も大きな開口部を形成する。

【0022】次いで、これらの絶縁基板32a、32b、…、32fを重ね合わせて、絶縁基板32を形成する。このとき、絶縁基板32b、32c、…、32fの中央部に形成した開口部が順により大きくなっているため、絶縁基板32a、32b、…、32fが順に積層された絶縁基板32の上面は、下向き階段状凸形インターポーザ20の底面の下向きの階段状の凸形状に対応して、階段状に凹形状をなすようにする。こうして、下向き階段状凸形インターポーザ20の下向きに階段状に凸形状をなしている底面に対応し、階段状に凹形状をなし

ている上面をもつ絶縁基板32を形成すると共に、この絶縁基板32中に複数の配線パターン34a、34b、…、34e（以下、これら複数の配線パターン34a、34b、…、34eを概括して「配線パターン34」と呼ぶ）が積層されている多層配線構造を形成する。

【0023】また、絶縁基板32b、32c、…、32fの中央部に形成した開口部が順により大きくなっていることから、絶縁基板32a、32b、…、32fを重ね合わせる際に、各絶縁基板32a、32b、…、32e上にそれぞれ形成した配線パターン34の端部が露出する。そして、絶縁基板32上面の階段状の平坦部に露出しているこれらの配線パターン32をそれぞれランド36とする。このようにして、図3に示される多層配線構造の階段状凹形マザーボード30を作製する。

【0024】次に、図1に示す半導体装置の製造方法、即ち半導体ベアチップ10を下向き階段状凸形インターポーザ20を介して階段状凹形マザーボード30に実装する実装方法を、図4及び図5の断面図を用いて説明する。先ず、図4に示されるように、半導体ベアチップ10を下向き階段状凸形インターポーザ20にフリップチップ実装する。即ち、半導体ベアチップ10をフェイスダウン状態にして下向き階段状凸形インターポーザ20の上面上に搭載し、半導体ベアチップ10の各バンプ電極12を下向き階段状凸形インターポーザ20の各ランド24に接合させる。続いて、半導体ベアチップ10と下向き階段状凸形インターポーザ20との間に絶縁性樹脂28を充填し、この絶縁性樹脂28によって互いに接合しているバンプ電極12及びランド24の周囲を覆う。また、圧接用樹脂や異方導電性樹脂や異方性導電膜を用いて加熱・加圧をし、半導体ベアチップ10を下向き階段状凸形インターポーザ20の各ランド24に接合させる方法もある。

【0025】次いで、図5に示されるように、半導体ベアチップ10をフリップチップ実装した下向き階段状凸形インターポーザ20を、階段状凹形マザーボード30に実装する。即ち、下向き階段状凸形インターポーザ20の下向きに階段状に凸形状をなしている底面を、階段状凹形マザーボード30の階段状に凹形状をなしている上面にすっぽりと嵌め込む。そして、下向き階段状凸形インターポーザ20の絶縁基板22底面の階段状の平坦部から露出しているスルーホール配線26の下端部を、例えばはんだ付け又は導電樹脂圧着等により、階段状凹形マザーボード30上面の階段状の平坦部に露出しているランド36に接続させる。

【0026】こうして、半導体ベアチップ10を下向き階段状凸形インターポーザ20を介して階段状凹形マザーボード30に実装する。即ち、半導体ベアチップ10の各バンプ電極12が、下向き階段状凸形インターポーザ20のランド24、スルーホール配線26、はんだ又は導電樹脂、及び階段状凹形マザーボード30のランド

36を介して、階段状凹形マザーボード30の各配線パターン34に接続している、上記図1の半導体装置を作製する。

【0027】このように本実施形態によれば、下向き階段状凸形インターポーザ20底面の階段状の凸形状と階段状凹形マザーボード30上面の階段状の凹形状とが互に対応して、下向き階段状凸形インターポーザ20底面が階段状凹形マザーボード30上面にすっぽり嵌め込まれていることにより、半導体ベアチップ10をフリップチップ実装した下向き階段状凸形インターポーザ20を、絶縁基板32中に複数の配線パターン34が積層されている多層配線構造をなす階段状凹形マザーボード30に実装する際に、その位置合わせを精度よく且つ容易に行うことが可能になるため、半導体ベアチップ10を下向き階段状凸形インターポーザ20を介して階段状凹形マザーボード30に実装する際のスルーボットを向上させることができる。

【0028】また、このようにして半導体ベアチップ10が下向き階段状凸形インターポーザ20を介して階段状凹形マザーボード30に実装された半導体装置は、その構造上、半導体ベアチップ10をフリップチップ実装した下向き階段状凸形インターポーザ20と階段状凹形マザーボード30との位置ずれが抑制されるため、接続不良等を防止して信頼性を向上させることができる。

【0029】また、下向き階段状凸形インターポーザ20底面の階段状の平坦部から露出しているスルーホール配線26の下端部が、はんだ又は異方性導電樹脂や圧接によって階段状凹形マザーボード30上面の階段状の平坦部に露出しているランド36に接続されていることにより、これら下向き階段状凸形インターポーザ20のスルーホール配線26と階段状凹形マザーボード30のランド36との電気的接続が安定して確保されるため、接続不良等を確実に防止して信頼性を更に向上させることができる。

【0030】なお、上記実施形態においては、下向き階段状凸形インターポーザ20の下向きに階段状に凸形状をなしている底面と階段状凹形マザーボード30の階段状に凹形状をなしている上面との間に形成される隙間38はそのままの状態に放置されているが、これらの隙間38を所定の絶縁性樹脂によって充填してもよい。この場合、この絶縁性樹脂によって下向き階段状凸形インターポーザ20が階段状凹形マザーボード30上に確りと固定されるため、両者の位置ずれやそれに伴う接続不良等をより確実に防止して信頼性を更に向上させることができる。

【0031】

【発明の効果】以上詳細に説明した通り、本発明に係る半導体装置によれば、次のような効果を奏することができる。即ち、請求項1に係る半導体装置によれば、下向き階段状凸形インターポーザの底面の階段状の凸形状と

階段状凹形マザーボードの上面の階段状の凹形状とが互に対応して、下向き階段状凸形インターポーザの底面が階段状凹形マザーボードの上面にすっぽり嵌め込まれるようになっていないことにより、平坦な上面上に半導体ベアチップを搭載した下向き階段状凸形インターポーザを、絶縁基板中に複数の配線パターンが積層された多層配線構造をなす階段状凹形マザーボードに実装する際に、その位置合わせを精度よく且つ容易に行うことが可能になるため、半導体ベアチップを下向き階段状凸形インターポーザを介して階段状凹形マザーボードに実装する際のスルーボットが向上を向上させることができる。また、このようにして半導体ベアチップが下向き階段状凸形インターポーザを介して階段状凹形マザーボードに実装された半導体装置は、その構造上、半導体ベアチップを搭載した下向き階段状凸形インターポーザと階段状凹形マザーボードとの位置ずれが抑制されるため、接続不良等を防止して信頼性を向上させることができる。

【0032】また、請求項2に係る半導体装置によれば、下向き階段状凸形インターポーザのスルーホール配線の下端部と階段状凹形マザーボードの第2のランドとがはんだ又は異方性導電樹脂や圧接によって接続されていることにより、下向き階段状凸形インターポーザのスルーホール配線と階段状凹形マザーボードの第2のランドとの電気的接続が安定して確保されるため、接続不良等を確実に防止して信頼性を更に向上させることができる。

【0033】また、請求項3に係る半導体装置によれば、下向き階段状凸形インターポーザの下向きに階段状に凸形状をなしている底面と階段状凹形マザーボードの階段状に凹形状をなしている上面との間に所定の樹脂が充填されていることにより、この樹脂によって下向き階段状凸形インターポーザが階段状凹形マザーボード上に固定されるため、両者の位置ずれやそれに伴う接続不良等をより確実に防止して信頼性を更に向上させることができる。

【図面の簡単な説明】

【図1】本発明の一実施形態に係る半導体装置。即ち半導体ベアチップが下向き階段状凸形インターポーザを介して階段状凹形マザーボードに実装されている半導体装置を示す断面図である。

【図2】図1に示す下向き階段状凸形インターポーザの製造方法を説明するための断面図である。

【図3】図1に示す多層配線構造の階段状凹形マザーボードの製造方法を説明するための断面図である。

【図4】図1に示す半導体装置の製造方法。即ち半導体ベアチップを下向き階段状凸形インターポーザを介して階段状凹形マザーボードに実装する実装方法を説明するための断面図（その1）である。

【図5】図1に示す半導体装置の製造方法。即ち半導体ベアチップを下向き階段状凸形インターポーザを介して

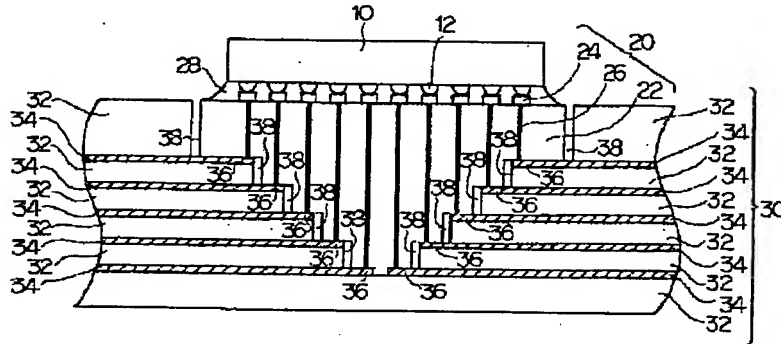
階段状凹形マザーボードに実装する実装方法を説明するための断面図(その2)である。

【符号の説明】

10…半導体ベアチップ、12…パンプ電極、20…下向き階段状凸形インターポーザ、22、22a、22b、22c、22d、22e…絶縁基板、24…ラン

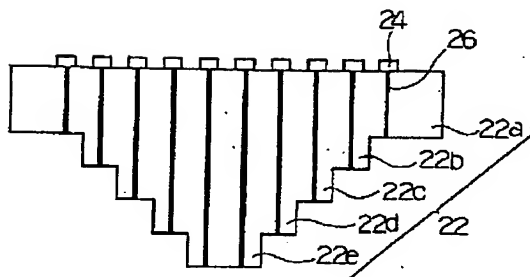
ド、26…スルーホール配線、28…絶縁性樹脂、30…階段状凹形マザーボード、32、32a、32b、32c、32d、32e、32f…絶縁基板、34、34a、34b、34c、34d、34e…配線パターン、36…ランド、38…隙間。

【図1】

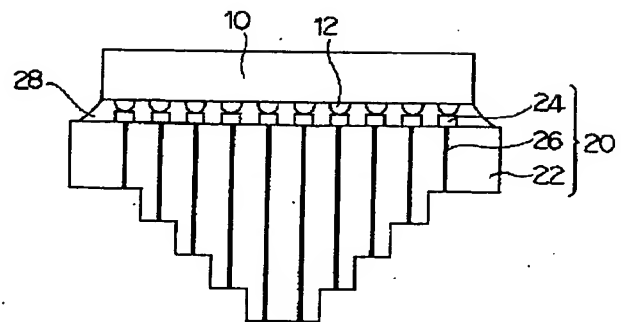


- | | |
|--------------------|----------------|
| 10…半導体ベアチップ | 28…絶縁性樹脂 |
| 12…パンプ電極 | 30…階段状凹形マザーボード |
| 20…下向き階段状凸形インターポーザ | 32…絶縁基板 |
| 22…絶縁基板 | 34…配線パターン |
| 24…ランド | 36…ランド |
| 26…スルーホール配線 | 38…隙間 |

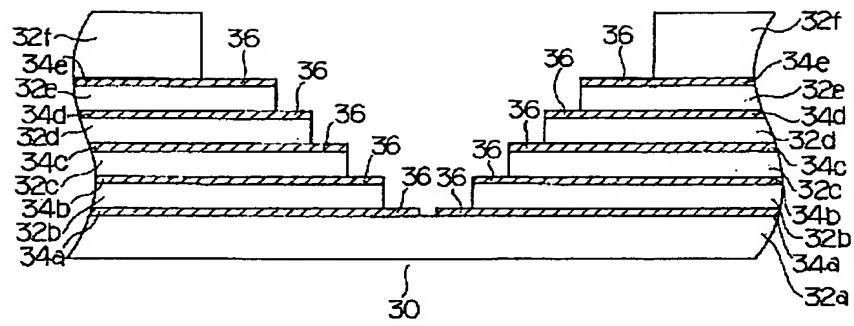
【図2】



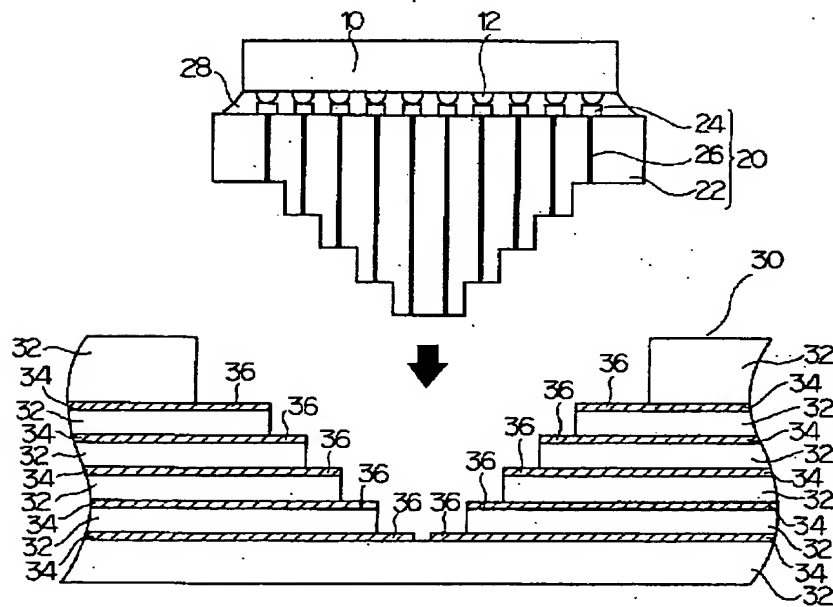
【図4】



【図3】



【図5】



THIS PAGE BLANK (USPTO)